

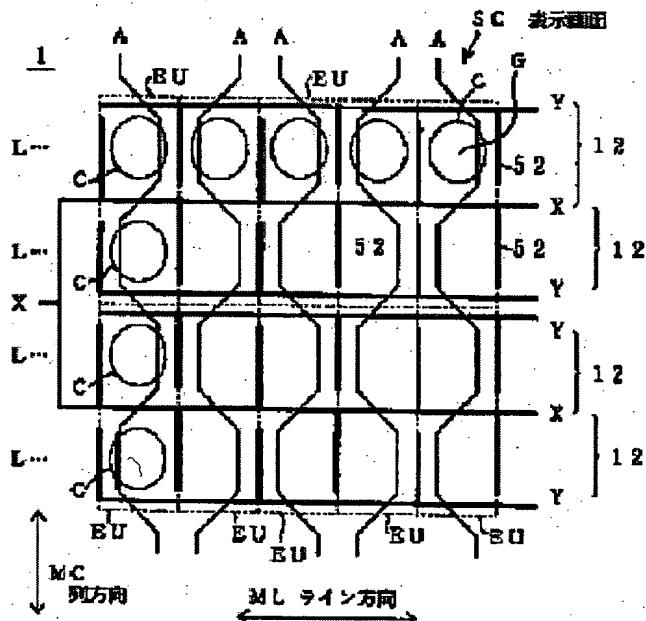
PLASMA DISPLAY PANEL

Patent number: JP9231907
Publication date: 1997-09-05
Inventor: NAMIKI FUMIHIRO; TOYODA OSAMU; KOSAKA TADAYOSHI; BETSUI KEIICHI
Applicant: FUJITSU LTD.
Classification:
- **International:** H01J11/00; H01J11/02
- **European:**
Application number: JP19960033397 19960221
Priority number(s):

Abstract of JP9231907

PROBLEM TO BE SOLVED: To prolong the lifetime by reducing the concentrated discharge, and to realize a high luminance display.

SOLUTION: This plasma display panel 1 includes several first sustain electrodes X and several second sustain electrodes Y which are arranged in a display screen SC along a row direction MC, and also includes several, address electrodes A which are arranged along a line direction ML. In this case, the two second sustain electrodes Y are respectively arranged in arrangement interstices between the first sustain electrodes X, and a discharge gap G extending in a direction intersecting the line direction MC is formed in each of an unit luminescent region EU so that the sustain discharge is produced between the first sustain electrode X and the second sustain electrode Y adjacent thereto.



Data supplied from the esp@cenet database - Worldwide

【印】

(19) 日本国特許庁 (JP)

(22) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-231907

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.
H01J 11/00
11/02

案別記号

序内整理番号

P I
H01J 11/00
11/02

技術表示箇所

K
B

審査請求 未請求 請求項の数 5 CL (全 7 項)

(21) 出願番号 特願平8-33387
(22) 出願日 平成8年(1996)2月21日

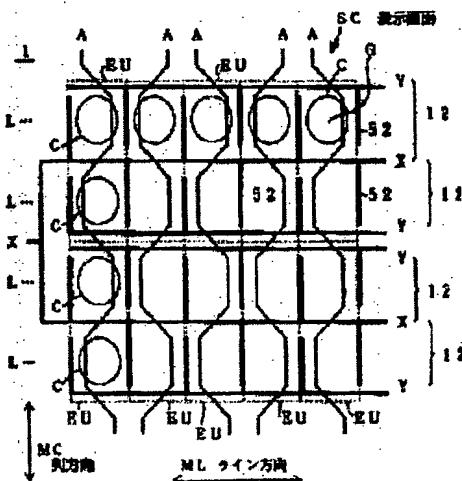
(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 齋木 文博
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 豊田 信
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人 弁理士 久保 実雄

説教實に據く

(54) 【発明の名前】 プラズマディスプレイパネル
(57) 【要約】

【問題】 放電の集中を緩和して寿命を延ばすとともに、表示の高輝度化を図ることを目的とする。
【解決手段】 表示画面S-C内に列方向MCに沿って複数の第1サステイン電極Xと複数の第2サステイン電極Yとが配列され、行方向MLに沿って複数のアドレス電極Aが配列されたマトリクス表示形式のPDP 1において、第1サステイン電極Xどうしの配列間隔に第2サステイン電極Yを2本ずつ配列し、隣接する第1サステイン電極Xと第2サステイン電極Yとの間でサステイン放電が生じるように、行方向MCと交差する方向に延びる放電ギヤップGを単位発光領域EU毎に形成する。

本発明のPDPの電極マトリクスの基本構成を示す平面図



【特許請求の範囲】

【請求項 1】表示画面内に列方向に沿って複数の第1サステイン電極と複数の第2サステイン電極とが配列され、行方向に沿って複数のアドレス電極が配列されたマトリクス表示形式のプラスティスプレイパネルであつて、

第1サステイン電極どうしの配列間に第2サステイン電極が2本ずつ配列されており、
隣接する第1サステイン電極と第2サステイン電極との間でサステイン放電が生じるように、前記行方向と交差する方向に延びる放電ギャップが単位発光領域毎に形成されてなることを特徴とするプラスティスプレイパネル。

【請求項 2】前記各第1サステイン電極及び前記各第2サステイン電極が、前記表示画面の全長に渡って前記行方向に延びる帯状の若者と、当該若者から前記列方向に張り出した複数の枝部とから構成され、

前記第1サステイン電極の前記各枝部が、前記列方向における前記若者の一方側と他方面とに前記単位発光領域毎に交互に配置されており、

前記第1サステイン電極の前記枝部と、前記第2サステイン電極の前記枝部とによって前記放電ギャップが形成されてなる請求項 1記載のプラスティスプレイパネル。

【請求項 3】前記各第1サステイン電極及び前記各第2サステイン電極の前記枝部が、当該枝部に対応した前記若者と連続する幅小部と、当該幅小部に対して前記行方向の両側に張り出し且つ当該若者から離れた幅大部とから構成され、

前記第1サステイン電極の前記幅大部と、前記第2サステイン電極の前記幅大部とによって前記放電ギャップが形成されてなる請求項 2記載のプラスティスプレイパネル。

【請求項 4】前記アドレス電極が、前記列方向に並ぶ単位発光領域の全てを通じ、平面視において当該各単位発光領域内の前記第2サステイン電極の前記枝部と量なり且つ前記第1サステイン電極の前記枝部と量ならないように蛇行した帶状にパターンングされてなる請求項 3記載のプラスティスプレイパネル。

【請求項 5】前記各放電ギャップが、前記列方向及び前記行方向の双方に対して傾斜した方向に延びてなる請求項 1乃至請求項 4のいずれかに記載のプラスティスプレイパネル。

【説明の詳細な説明】

【0001】

【説明の属する技術分野】本発明は、面放電セルを画定する電極を有したマトリクス表示形式のA C型のPDP(プラスティスプレイパネル)に関する。

【0002】選択放光に蓄電池を利用するA C駆動形式のPDPの内、特に面放電型PDPは蓄光体によるカラ

ー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。

【0003】

【従来の技術】図4は従来の面放電型PDPの電極構造を模式的に示す平面図、図5は従来の面放電型PDPの内部構造を示す分解斜視図である。

【0004】PDPは、互いに平行に延びる直線状のサステイン電極(主電極) X_1, Y_1 からなる複数の電極對 $1, 2, \dots, n$ と、サステイン電極 X_1, Y_1 と直交する複数の直線状のアドレス電極 A_1 とを有する。各電極對 $1, 2, \dots, n$ はマトリクス表示の1ライン(L_1, L_2, \dots, L_n)に対応し、各アドレス電極 A_1 は1列に対応する。

【0005】サステイン電極 X_1, Y_1 は、各ライン上において面放電ギャップGを挟んで隣接するよう列方向に交互に配列されている。ただし、ライン間の電極間隔dは面放電ギャップGのギャップ幅(電極間距離)gより十分に大きい。

【0006】このように配列されたサステイン電極 X_1, Y_1 の内、一方のサステイン電極 X_1 は、駆動回路の簡素化のために複数のライン L 間で電気的に共通化されている。他方のサステイン電極 Y_1 は、ライン順次の画面走査を可能とするために、1ラインずつ独立した個別電極とされている。各ラインでは、サステイン電極 X_1, Y_1 によってサブピクセル(単位発光領域)E $_{ij}$ 毎に面放電セルC $_{ij}$ が画定される。そして、サステイン電極 Y_1 とアドレス電極 A_1 との間に放電によって各面放電セルC $_{ij}$ の点灯(放電)又は非点灯の選択(アドレッシング)が行われる。

【0007】PDPの使用に際しては、表示内容に応じたアドレッシングの後、全てのライン L について一齊に、サステイン電極 X_1, Y_1 に対して交互にサステインパルスを印加する。すなわちA C駆動をする。サステイン電極 X_1 とサステイン電極 Y_1 との間の相対電位関係はサステインパルスの印加場に反転する。サステインパルスの盛高峰(V $_s$)を放電開始電圧(V $_t$)よりも高めに設定すれば、アドレッシング終了時点で所定量の蓄電者が存在した面放電セルC $_{ij}$ においてサステインパルスの印加場に面放電が生じる。部位時間当たりのサステインパルスの印加回数を適當に設定することによって表示の輝度を調整することができる。

【0008】図5において、PDPは、前面側のがラス基板11J、サステイン電極 X_1, Y_1 、AC駆動のための誘導電層17J、保護膜18J、背面側のガラス基板21J、アドレス電極 A_1 、平面鏡直線状の膜層29J、及びフルカラー表示のための蓄光体層28Jなどから構成されている。内部の放電空洞30Jは、膜層29Jによってライン方向(サステイン電極 X_1, Y_1 の延長方向)にサブピクセルE $_{ij}$ 毎に区画され、且つその間隔寸法が規定されている。膜層29Jの配置パターンはいわゆるストライプパターンであり、放電空洞30J

Jの内の各列に対応した部分は、全てのラインJに跨がって列方向に連続している。

【0009】サステイン電極XJ、YJは、ガラス基板11Jの内面に配列されており、それぞれが幅の広い透明遮光膜4Jと導電性を確保するための金属膜42Jから構成されている。透明遮光膜4Jは、面放電が並ぶように金属膜42Jより幅の広い帯状にバーニングされている。

【0010】発光体層2BJは、サステイン電極XJ、YJから遠ざけて面放電によるイオン衝撃を遮断するために背面側のガラス基板21J上の各隔壁29Jの間に設けられており、面放電で生じた紫外線によって局部的に励起されて発光する。発光体層2BJの表面層(放電空間)と接するBDで発光した可視光の内、ガラス基板1Jを通過する光が表示光となる。

【0011】マトリクス表示のピクセル(画素)EGは、ライン方向に並ぶ3つのサブピクセルEUからなる。これらは銀色(R、G、B)は互いに異なり、R、G、Bの組み合わせてカラー表示が行われる。ピクセルEGの形状としては、画面再現の上で正方形が好ましい。ピクセルEGを正方形とした場合、サブピクセルEUは列方向に長い四角形となる。

【0012】

【説明が解決しようとする課題】従来の電子部品では、面放電ギャップGJがライン方向に並びており、各サブピクセルEUにおける面放電ギャップGJのギャップ長(ライン方向の長さ)J1が長いことから、面放電が過度に集中してイオン衝撃による保護膜1Jの劣化が進み易いという問題があった。ギャップ長J1は、隔壁29Jの幅の分だけサブピクセルEUのライン方向の寸法より短い。

【0013】また、紫外線の強度が面放電ギャップGJから遠くなるにつれて小さくなることから、発光体層2BJの断面がサブピクセルEUにおける列方向の中央部に傾いていた。つまり、サブピクセルEUにおける発光領域の占める割合が大きく、発光効率が低いという問題もあった。

【0014】本発明は、放電の集中を緩和して寿命を延ばすとともに、表示の高輝度化を図ることを目的としている。

【0015】

【課題を解決するための手段】ギャップ長J1を増大すれば、放電の集中が緩和され且つ有効発光領域が拡大される。上述したように単位発光領域(PDP80ではサブピクセルEU)が列方向に長い場合、ライン方向ではなく列方向に延びた面放電ギャップを設けることにより、ギャップ長J1の増大が可能である。すなわち、各サステイン電極を離げると、各単位発光領域において一方のサステイン電極の端部と他方のサステイン電極の端部とがギャップ幅J2を隔てて隣接するよう設ければ

よい。ただし、列方向におけるサステイン電極の配列順序を従来と同様の順序(1本ずつ交互)としたのは、隣接するラインJの間でのサステインパルスによる放電を遮けるために電極間隔dを十分に大きくしなければならないので、ギャップ長J1の大略な増大は望めない。配列順序の工夫が必要である。

【0016】請求項1の説明のPDPは、表示画面内に列方向に沿って複数の第1サステイン電極と複数の第2サステイン電極とが配列され、行方向に沿って複数のアドレス電極が配列されたマトリクス表示形式のPDPであって、第1サステイン電極どうしの配列順序に第2サステイン電極が2本ずつ配列されており、隣接する第1サステイン電極と第2サステイン電極との間でサステイン放電が生じるよう、前記行方向と交差する方向に延びる放電ギャップが単位発光領域毎に形成されてなる。

【0017】請求項2の説明のPDPは、前記各第1サステイン電極及び前記各第2サステイン電極が、前記表示画面の全長に渡って前記行方向に延びる帯状の差部と、当該差部から前記列方向に張り出した複数の枝部とから構成され、前記第1サステイン電極の前記枝部が、前記列方向における前記差部の一方部と他方面とに前記単位発光領域毎に交互に配置されており、前記第1サステイン電極の前記枝部と、前記第2サステイン電極の前記枝部とによって前記放電ギャップが形成されてなる。

【0018】請求項3の説明のPDPは、前記各第1サステイン電極及び前記各第2サステイン電極の前記枝部が、出枝枝部に対応した前記差部と隣接する側小部と、当該側小部に対しても前記行方向の両側に張出し且つ当該差部から離れた膨大部とから構成され、前記第1サステイン電極の前記膨大部と、前記第2サステイン電極の前記膨大部とによって前記放電ギャップが形成されてなる。

【0019】ここでいう「対応した前記差部」とは、注目する枝部が隣する第1サステイン電極(又は第2サステイン電極)の差部を意味する。請求項4の説明のPDPは、前記アドレス電極が、前記列方向に並ぶ単位発光領域の全てを通過し、平面視において当該各単位発光領域内の前記第2サステイン電極の前記枝部と重なり且つ前記第1サステイン電極の前記枝部と重ならないように施行した帶状にバーニングされてなる。

【0020】請求項5の説明のPDPは、前記各放電ギャップが、前記列方向及び前記行方向の双方に対して網状した方向に延びてなる。各第1サステイン電極は、隣接する2つの行(ライン)の表示に共用される。ただし、電極配列の両端である場合は1つのラインの表示に用いられる。各第2サステイン電極は、1つのラインの表示に用いられる。

【0021】列方向の電極配列の一一番目の電極は、第1サステイン電極でも第2サステイン電極でもよい。例え

は第1サステイン電極を一番目の電極とした場合には、第1サステイン電極（「X」で表す）及び第2サステイン電極（「Y」で表す）の配列順序は、次の又はとなる。

【0022】 X, Y, Y, X, Y, Y, X-X, Y
X, Y, Y, X, Y, Y, X-X, Y, Y, X

【0023】

【説明の実施の形態】図1は本発明のPDP1の電極マトリクスの基本構成を示す平面図である。PDP1は、マトリクス表示形式の放電型PDPであり、ライン方向MCに延びたサステイン電極X、Yからなる複数の電極対12と、列方向MCに延びた複数のアドレス電極Aとを有する。表示画面Bは縦横に並ぶサブピクセルEUIからなる。図ではサブピクセル数は5×4個であるが、実際には例えば42インチサイズの場合で1920(=640×3)×480個程度である。

【0024】サステイン電極X、Yの配列順序は、従来とは違ってY、X、Yの記列を繰り返すものである。サステイン電極Xの両側にサステイン電極Yが配置され、サステイン電極Xどうしの間に2本のサステイン電極Yが隣接配置されている。サステイン電極Xは挟まれた2本のサステイン電極Yの配列間隔。【図2(A)参照】は、これら電極を電気的に分離できる最小の幅。(例えば20~30μm)であればよく、サブピクセルEUIの列方向MCの長さ(例えば500μm)と比べて十分に小さい。各電極対12はマトリクス表示の1ライン上に対応する。ただし、サステイン電極Xは、隣接した2つのライン上の表示に共用される。つまり、サステイン電極Xは、列方向MCの一方側のサステイン電極Yとともに1つの電極対12を構成し、他方側のサステイン電極Yとともに他の1つの電極対12を構成する。各電極対12によって、ライン内にサブピクセルEUI毎に面放電セルCが画定される。各アドレス電極Aは1列に対応する。

【0025】サステイン電極X、Yは直線状ではなく、列方向MCに延びた挿部52を有している。サステイン電極Xの挿部52は、サブピクセルEUI毎に列方向MCの一方側と他方側とに交互に配置されている。サステイン電極Yは、列方向MCの片側に挿部52を有した状態である。サステイン電極Yの挿部52は、サステイン電極Xの挿部52どうしの中間位置に配置されている。PDP1では、サステイン電極Xの挿部52とサステイン電極Yの挿部52によって各サブピクセルEUIに1つずつ面放電ギャップGが形成されている。アドレス電極Aも直線状ではなく、各サブピクセルEUIにおいてライン方向MCの中心からサステイン電極Yの挿部52の側に寄った位置を通過する蛇行した帶状にバーニングされている。蛇行により、アドレッシングに必要な放電面積(アドレス電極Aとサステイン電極Yの対向面積)を確保しつつ、アドレス電極面の放電容量の範囲を因るこ

とができる。

【0026】なお、駆動に際して、各サステイン電極Xは電気的に共通化される。これに対して、各サステイン電極Yは、ライン端次のアドレッシングを行うときには個別電極(いわゆる走査電極)として扱われる。サステイン周期では、全てのサステイン電極Yに対して一齊にサステインパルスが印加される。

【0027】図2はサステイン電極X、Yの要部拡大図である。図2(A)は挿部52の平面形状を示し、図2(B)は挿部52の構造を示している。図2(A)のように、サステイン電極Xは、表示画面の全長に渡って行方向に延びる帯状の基部51と、基部51から列方向に張り出した細長い挿部52とから構成されている。サステイン電極Yも同様に、基部51と複数の挿部52とから構成されている。以下の説明では、特に必要がない限り、電極構成についてはサステイン電極Xとサステイン電極Yとを区別しない。

【0028】各挿部52は、それが属する電極の基部51と接した端小部51と、該端小部51に対しても行方向の両側に張り出した膨大部52とから構成されている。膨大部52は、それが属する電極の基部51から端小部51の列方向の長さの分だけ離れ、他の電極の基部51から長さsだけ離れている。図2の例では、長さsは長さkと等しい。

【0029】面放電ギャップGは、サステイン電極Xの膨大部52とサステイン電極Yの膨大部52とによって形成されている。つまり、接する膨大部52の隙間がギャップ幅wであり、膨大部52の列方向の長さがギャップ長zである。端小部51を設けることにより、ライン間の面放電ギャップGの距離が長さkの2倍の長さだけ増大するので、列方向の放電の結合が起こりにくくなる。

【0030】図2(B)のように、挿部52は、基部51と同時に形成される金属膜412と、膨大部52を形成する平面複四角形の透明導電膜420とからなる。金属膜412は、挿部52の根元から先端付近まで延びており、その一部が透明導電膜420と重なっている。金属膜412の内、透明導電膜420と重ならない部分が端小部51に対応する。

【0031】図3はPDP1の裏部断面図であり、図2のV-V矢印方向の断面構造を示している。図3において、PDP1は、従来のPDP80と同様に鏡光体の配線形態の上で反转型と呼称されるAC駆動形式の面放電型PDPである。前面側のガラス基板11の内面に、サステイン電極X、Yが記列されており、これらサステイン電極X、Yが放電空間30に対して接するように誘電体層17が設けられている。誘電体層17の表面にはMZOからなる保護膜18が蒸着されている。誘電体層17及び保護膜18はともに透光性を有している。サステイン電極X、Yは、透明電極41と金属電極42とか

ら構成されている。

【0032】背面側のガラス基板21の内面に、各サステイン電極X、Y内の金属膜412と重なるように平面状直線状の隔壁29が設けられている。隔壁29によって放電空間30がライン方向MLにサブピクセルEU毎に区画され、且つ放電空間30の隔壁寸法が15.0μm程度に規定されている。隔壁29の幅は金属膜412の幅とはほぼ等しい。各隔壁29の間に上述のアドレス電極Aが1本ずつ配備されている。各アドレス電極Aは、各サブピクセルEUにおいてサステイン電極Yの透明導電膜420と重なり、且つサステイン電極Yの透明導電膜420と重ならないようにバーニングされている。これにより、アドレス電極Aとサステイン電極Yとの間に放電(対向放電)を生じさせて置電荷を制御するアドレッシングの信頼性が高まっている。

【0033】アドレス電極Aの表面を含めて背面側の裏面を接觸するように、カラー表示のためのR、G、Bの3色の発光体層28R、28G、28Bが設けられている。PDP1においてはストライプパターンの隔壁29が設けられているので、R、G、Bの組み合わせによるフルカラー表示に際してサブピクセルEU層のクロストークが確実に防止される。ただし、サステイン電極X、Yが直読式である場合とは違って、枝部52によって面放電セルC(図1参照)が選定されるので、隔壁29を省いて内部構造の簡略化を図ることも可能である。隔壁29を省く場合は、スペースを省くことで放電空間30の隔壁寸法を規定する。

【0034】図4はサステイン電極構造の変形例を示す平面図である。図4においては、サステイン電極X、Yの枝部52bが、列方向MCに延びた直線状の金属膜412と台形の透明導電膜421とから構成されている。面放電ギャップGbは、隣接する透明導電膜421の斜辺どうしの対向隔壁である。この場合には、面放電ギャップGbの延長方向が列方向MCに対して傾斜した方向であるので、列方向MCである場合よりもギャップ長さIが長い。

【0035】上述の実施形態においては、サステイン電極Xの枝部52、52bも、サステイン電極Yの枝部52、52bも列方向MCに沿って千鳥状に並ぶ。このため、一直線上に並ぶ場合と比べて、サステイン時ににおける同相性の枝部52、52bどうしの距離が増大するので、列方向MCの放電の結合が起こりにくく、ただし、電極構造は図示の例に限らず、例えばサステイン電極Xを魚骨状、すなわちライン方向MLの同一位置で枝部52、52bが列方向MCの両側に張り出た形状としてもよい。その場合は、サステイン電極Xの基部51と

重なるように列方向MCに延びる隔壁を設け、サステイン電極Xを挟むライン間における放電の結合を防止するのが望ましい。また、金属膜412を設けずに、透明導電材料のみによって枝部52、52bを形成してもよい。

【0036】

【明細の効果】請求項1乃至5の明細によれば、放電の集中を緩和して寿命を延ばすことができ、しかも従来と同様の駆動シーケンスで輝度の表示を実現することができる。

【0037】請求項2の明細によれば、列方向に駆動した2つの放電ギャップの間ににおける同一極性のサステイン電極どうしの距離が増大するので、列方向の放電の結合を防止することができる。

【0038】請求項3の明細によれば、列方向に駆動する放電ギャップどうしの距離が増大するので、列方向の放電の結合をより確実に防止することができる。請求項4の明細によれば、アドレス電極層の輝電容量を低減し、駆動の容易化を図ることができる。

【0039】請求項5の明細によれば、隔壁が限られた単位発光領域において放電ギャップをより長くすることができる、輝度の向上を図ることができる。

【図面の簡単な説明】

【図1】本明発のPDPの電極マトリクスの基本構成を示す平面図である。

【図2】サステイン電極の要部拡大図である。

【図3】PDPの要部断面図である。

【図4】サステイン電極構造の変形例を示す平面図である。

【図5】従来の面放電型PDPの電極構造を模式的に示す平面図である。

【図6】従来の面放電型PDPの内部構造を示す分解斜視図である。

【符号の説明】

1 PDP(スマートディスプレイパネル)

51 基部

52 枝部

61 緩小部

62 膨大部

A アドレス電極

EU サブピクセル(単位発光領域)

G 面放電ギャップ(放電ギャップ)

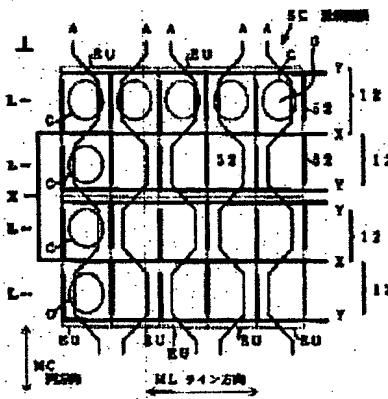
MC 列方向

SC 表示面図

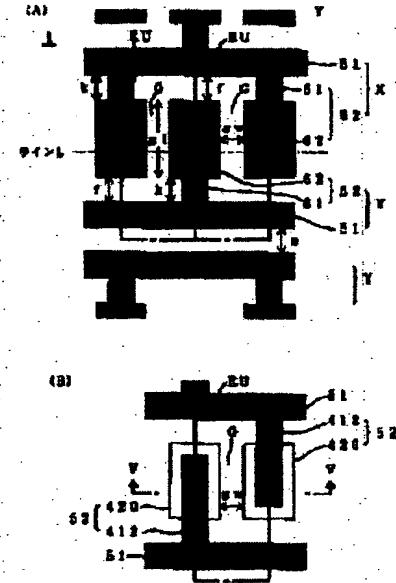
X サステイン電極(第1サステイン電極)

Y サステイン電極(第2サステイン電極)

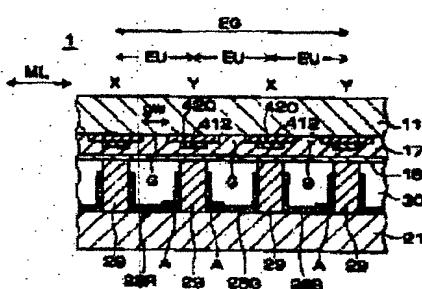
【図1】本研究OPD法によるスカルプトの表面形状



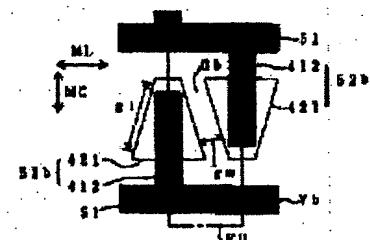
【図2】 サステイン環境の実現度



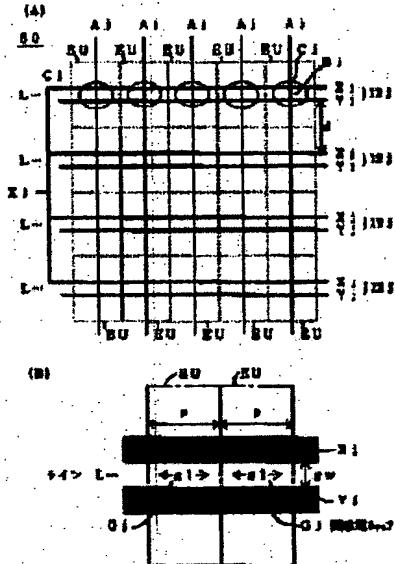
【四〇】



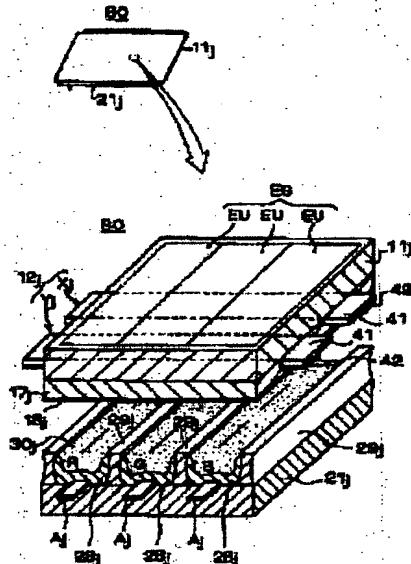
【図4】
ラスティン電極法の結果を示す平面



【図5】 電子顕微鏡 P.D.P.電極を用いた場合における各々の形態



【图 5】 PDP 内部结构示意图



フロントページの読み

(72) 明亮者 小坂 忠雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 見明者 別井 宏一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内